

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173195

(43) 公開日 平成10年(1998) 6月26日

(51) IntCl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 K

21/336

21/318

B

21/318

29/78

6 1 6 V

6 1 7 V

6 1 7 J

審査請求 有 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平8-331969

(22) 出願日

平成8年(1996)12月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山守 秋喜

東京都港区芝五丁目7番1号 日本電気株式会社内

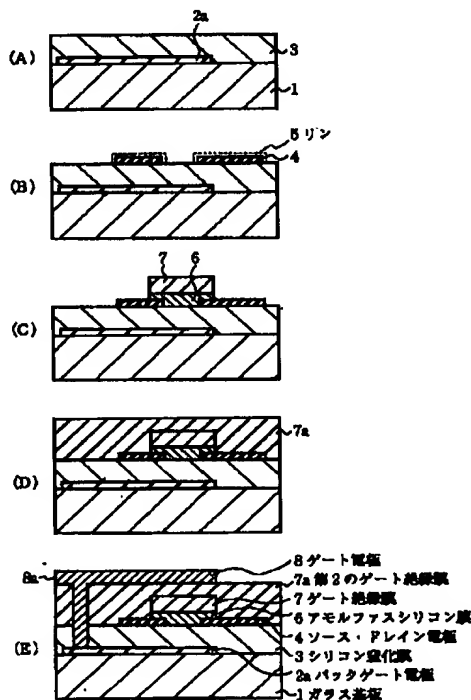
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】層間絶縁膜上にITO膜をパターニングし、ソース・ドレイン電極を形成し、その上の活性層であるアモルファスシリコン層とオーミックコンタクトを形成するために、ITO膜表面にPH<sub>3</sub>（ホスフィン）プラズマドーピング法でリンを導入する構造の順スタガ型薄膜トランジスタにおいて、信頼性が高く、製造コストの低い薄膜トランジスタを製造する。

【解決手段】透明絶縁基板1上に金属膜パターン2が形成され、金属膜パターン全体が窒化シリコン3の層間絶縁膜で覆われ、その上に、表面にリンが導入された透明導電膜から成るソース電極およびドレイン電極4、4が互いに分離して形成され、半導体膜6、窒化シリコン7のゲート絶縁膜、ゲート電極8が形成される。さらに、金属膜パターン2をバックゲート電極2aとしての作用も行わせる。



## 【特許請求の範囲】

【請求項1】 透明絶縁基板上に金属膜パターンが形成され、該金属膜パターン全体が窒化シリコンの層間絶縁膜で覆われ、その上に、表面にリンが導入された透明導電膜から成るソース電極およびドレイン電極が互いに分離して形成され、前記ソース電極およびドレイン電極のそれぞれの少なくとも一部上並びに前記ソース電極ドレイン電極間に半導体膜が形成され、該半導体膜上に、これと同一パターンの窒化シリコンのゲート絶縁膜が形成され該ゲート絶縁膜上にゲート電極が形成されていることを特徴とする薄膜トランジスタ。

【請求項2】 前記金属パターンは、遮光膜または遮光膜を兼ねたバックゲート電極であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 透明絶縁性基板上に金属膜パターンを形成する第1の工程と、前記金属膜パターン全体を覆うシリコン窒化膜から成る層間絶縁膜を形成する第2の工程と、前記層間絶縁膜上に透明導電膜をパターンニングして、ソース電極およびドレイン電極を形成する第3の工程と、前記ソース電極およびドレイン電極の表面に不純物としてリンを導入する第4の工程と、薄膜トランジスタの活性層となる半導体層とゲート絶縁膜となる絶縁層とゲート電極となる導電層とを順次成膜する第5の工程と、前記導電層、絶縁層および半導体層を少なくとも一部が前記ソース電極およびドレイン電極にかかるようにパターンニングする第6の工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 前記第2の工程の層間絶縁膜、並びに前記第5の工程の半導体層及びゲート絶縁膜を形成する工程は、プラズマCVD法により形成されることを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 透明絶縁性基板上に遮光膜及び第1のゲート電極となる金属膜パターンを形成する第1の工程と、前記金属膜パターン全体を覆うシリコン窒化膜から成る層間絶縁膜を形成する第2の工程と、前記層間絶縁膜上に透明電極膜をパターンニングして、ソース電極およびドレイン電極を形成する第3の工程と、前記ソース電極およびドレイン電極の表面に不純物としてリンを導入する第4の工程と、薄膜トランジスタの活性層となる半導体層と第1のゲート絶縁膜となる絶縁層を順次成膜する第5の工程と、前記絶縁層および半導体層を少なくとも一部が前記ソース電極およびドレイン電極にかかるようにパターンニングする第6の工程と、前記ソース電極、ドレイン電極、半導体層及び絶縁層パターン全体を覆う第2のゲート絶縁膜を形成する第7の工程と、前記第1のゲート絶縁膜、第2のゲート絶縁膜にコンタクトホールを形成する第8の工程と、前記第2のゲート電極となりかつ、前記コンタクトホールを介して前記第1のゲート電極とのコンタクトを取る導電層を成膜する第9の工程と、前記導電層をパターンニングする第10の工程とを

有することを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等に用いる薄膜トランジスタ及びその製造方法に係わり、特にソース・ドレイン電極の下地としてシリコン窒化膜を用いた順スタガ型薄膜トランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】従来の、順スタガ型の薄膜トランジスタの製造工程を、図5(A)～(C)に示す。

【0003】まず図5(A)に示すように、ガラス基板1上にソース・ドレイン電極となるIndium Tin Oxide膜(以下、ITO膜、と称す)をスパッタ法で成膜した後、通常のフォトリソグラフィー、エッチングの技術を用いてパターンニングし、ソース・ドレイン電極4が得られる。

【0004】次に図5(B)において、半導体層とオーミックコンタクトを形成するため、ホスフィン(PH<sub>3</sub>)プラズマ処理でリン5をソース・ドレイン電極4のITO膜表面に付着する。

【0005】次に図5(C)において、アモルファスシリコン膜6、ゲート絶縁膜となるシリコン窒化膜7をP-CVD法により連続成膜し、さらにゲート電極となる金属膜8をスパッタ法により成膜し、通常のフォトリソグラフィー、エッチングの技術を用いて、金属膜8とシリコン窒化膜7とアモルファスシリコン膜6を一回のPR行程でパターンニングし、図5(C)に示すような順スタガ型薄膜トランジスタが完成する。

【0006】この構造の薄膜トランジスタは、例えば特公平6-22244号公報により公知となっており、特開昭62-81057号公報でもリンを含有したITO膜を用いる点が異なるだけで構造は同じである。

【0007】また、特開平4-233777号公報では、ガラス基板上に形成されたITO膜からなるソース・ドレイン電極にリンをプラズマドーピングする点で特公平6-22244号公報と同じである。

【0008】これらの公知例の構造では、実際にカラー液晶表示装置に適用する場合、透明ガラス基板上に直接薄膜トランジスタ形成する構造なので、薄膜トランジスタのバックチャネル部に基板裏面から光が照射され、トランジスタの光感度のため、正常に動作しなくなる問題がある。

【0009】カラー液晶表示装置に適用する場合、例えば、特開平7-162007号公報のようにバックチャネル部の下に遮光膜を配置した構造が適している。

【0010】特開平7-162007号公報では、透明ガラス基板上の遮光膜となる金属膜パターンを形成し、絶縁膜を形成し、その上にソース・ドレイン電極となるITO膜パターンを形成し、イオンドーピング法により

10

20

30

40

50

## 3

ソース・ドレイン電極表面にリンイオンを注入し、プラズマCVD法によりアモルファスシリコン膜を形成し、ゲート電極としてモリブデン膜を形成する構造である。

## 【0011】

【発明が解決しようとする課題】上記特開平7-162007号公報に示される薄膜トランジスタは、絶縁性基板上に遮光膜が形成され、遮光膜を覆って酸化シリコン膜から成る絶縁膜が形成され、透明な導電性のITO膜からなる絵素電極、ソース電極、ドレイン電極が形成され、ソース電極、ドレイン電極上に $n^+$ 層が形成され、チャンネルとなるアモルファスシリコン膜を形成し、アモルファスシリコン膜上にゲート絶縁膜、ゲート電極が形成されている構造である。

【0012】このようにソース電極、ドレイン電極の下地であり薄膜トランジスタのバックチャンネル界面と接する絶縁膜が酸化シリコン膜であるためトランジスタのしきい値電圧が変動し、信頼性が劣る第1の問題点を有する。

【0013】その理由は、酸化シリコン膜中には、可動イオンが多く存在し、トランジスタ特性が変動するからである。

【0014】第2の問題点は、下地（層間）絶縁膜にドライエッチング法でコンタクトホールを形成し、バックゲート電極とコンタクトを取る場合、エッチング時間が長く、スループットが落ち、製造コストが上がることである。

【0015】その理由は、スパッタ法で形成したシリコン酸化膜は、緻密な膜が形成されるため、ドライエッチング装置でのエッチングレートが遅いからである。

【0016】第3の問題点は、下地（層間）絶縁膜をシリコン酸化膜で構成する場合、この工程専用のスパッタ装置が必要となり、製造コストが上がることである。

【0017】その理由は、薄膜トランジスタ製造工程で、信頼性の高いトランジスタ特性を得るためには、プラズマCVD装置で成膜したシリコン窒化膜によるゲート絶縁膜が必須で、2種類の成膜装置が必要となるからである。

【0018】したがって本発明は、カラー液晶表示装置に用いる順スタガ型薄膜トランジスタアレイの信頼性向上と製造コストの低減を可能にする薄膜トランジスタ及びその製造方法を提供することを目的とする。

## 【0019】

【課題を解決するための手段】本発明の特徴は、透明絶縁基板上に金属膜パターンが形成され、該金属膜パターン全体が窒化シリコンの層間絶縁膜で覆われ、その上に、表面にリンが導入された透明導電膜から成るソース電極およびドレイン電極が互いに分離して形成され、前記ソース電極およびドレイン電極のそれぞれの少なくとも一部上並びに前記ソース電極ードレイン電極間に半導体膜が形成され、該半導体膜上に、これと同一パターン

## 4

の窒化シリコンのゲート絶縁膜が形成され該ゲート絶縁膜上にゲート電極が形成されている薄膜トランジスタにある。ここで前記金属パターンは、遮光膜または遮光膜を兼ねたバックゲート電極であることができる。

【0020】本発明の他の特徴は、透明絶縁性基板上に金属膜パターンを形成する第1の工程と、前記金属膜パターン全体を覆うシリコン窒化膜から成る層間絶縁膜を形成する第2の工程と、前記層間絶縁膜上に透明導電膜をパターニングして、ソース電極およびドレイン電極を形成する第3の工程と、前記ソース電極およびドレイン電極の表面に不純物としてリンを導入する第4の工程と、薄膜トランジスタの活性層となる半導体層とゲート絶縁膜となる絶縁層とゲート電極となる導電層とを順次成膜する第5の工程と、前記導電層、絶縁層および半導体層を少なくとも一部が前記ソース電極およびドレイン電極にかかるようにパターニングする第6の工程とを有する薄膜トランジスタの製造方法にある。ここで前記第2の工程の層間絶縁膜、並びに前記第5の工程の半導体層及びゲート絶縁膜を形成する工程は、プラズマCVD法により形成されることが好ましい。

【0021】本発明の別の特徴は、透明絶縁性基板上に遮光膜及び第1のゲート電極となる金属膜パターンを形成する第1の工程と、前記金属膜パターン全体を覆うシリコン窒化膜から成る層間絶縁膜を形成する第2の工程と、前記層間絶縁膜上に透明電極膜をパターニングして、ソース電極およびドレイン電極を形成する第3の工程と、前記ソース電極およびドレイン電極の表面に不純物としてリンを導入する第4の工程と、薄膜トランジスタの活性層となる半導体層と第1のゲート絶縁膜となる絶縁層を順次成膜する第5の工程と、前記絶縁層および半導体層を少なくとも一部が前記ソース電極およびドレイン電極にかかるようにパターニングする第6の工程と、前記ソース電極、ドレイン電極、半導体層及び絶縁層パターン全体を覆う第2のゲート絶縁膜を形成する第7の工程と、前記第1のゲート絶縁膜、第2のゲート絶縁膜にコンタクトホールを形成する第8の工程と、前記第2のゲート電極となりかつ、前記コンタクトホールを介して前記第1のゲート電極とのコンタクトを取る導電層を成膜する第9の工程と、前記導電層をパターニングする第10の工程とを有するデュアルゲート型薄膜トランジスタの製造方法にある。

【0022】このような本発明によれば、ソース・ドレイン電極の下地となる層間絶縁膜をシリコン窒化膜で構成することによって、

(1) 従来のシリコン酸化膜と比べシリコン窒化膜は、膜中の可動イオンが少ないため、しきい値電圧変動が少なく、トランジスタ特性の信頼性がより向上する。

【0023】(2) 層間絶縁膜にドライエッチング法でコンタクトホールを形成し、バックゲート電極とコンタクトを取る工程で、シリコン窒化膜は、シリコン酸化膜

## 5

と比べエッチングレートが速いため処理時間が短くて済みスループットが上がり製造コストが低減される。

【0024】(3)層間絶縁膜をゲート絶縁膜と同じシリコン窒化膜で構成するので、シリコン酸化膜で形成するためのスパッタ装置が不要となり、同一の製造装置で両膜を形成することができるので製造コストが低減される。

## 【0025】

【発明の実施の形態】以下図面を参照して本発明を説明する。

【0026】図1は本発明に第1の実施の形態の順スタガ型薄膜トランジスタを示す断面図である。図1に示すように、ガラス基板1上に遮光膜となる、例えばCrからなる導電金属膜2が配置され、その上をシリコン窒化膜からなる層間絶縁膜3が覆っている。

【0027】そして、層間絶縁膜3上には、パターニング後ホスフィン(PH<sub>3</sub>)プラズマ中で表面にリンを導入した、ITO膜4から成るソース・ドレイン電極4が配置され、この電極上および電極間には、薄膜トランジスタの活性層となるアモルファスシリコン膜6、シリコン窒化膜からなるゲート絶縁膜7およびCr膜からなるゲート電極8の積層パターンが配置されている。

【0028】ここで、表面にリンを導入したITO膜により、アモルファスシリコン膜6は、ソース・ドレイン電極4にオーミックに接続している。

【0029】次に、本発明の第1の実施の形態の順スタガー型の薄膜トランジスタの製造方法について、工程順断面図である図2(A)~(E)を参照して説明する。

【0030】先ず図2(A)に示すように、ガラス基板1上に、クロム膜を約200nmの膜厚にスパッタ法により成膜し、通常のフォトリソグラフィ法、エッチング法によりパターニングして、遮光膜2を形成する。

【0031】次に図2(B)に示すように、シリコン窒化膜をプラズマCVD法により200nmから400nmの膜厚に成膜することにより、層間絶縁膜3を形成した後、画素電極、信号線およびソース・ドレイン電極を形成するためのITO膜4を成膜する。

【0032】次に図2(C)に示すように、通常のフォトリソグラフィ法、エッチング法により、ソース・ドレイン電極となるITO膜パターン4を形成し、このITO膜4とその上に積層するアモルファスシリコン膜6とのオーミックコンタクトを形成するため、画素電極、信号線、ソース・ドレイン電極4の表面にプラズマCVD装置でホスフィン(PH<sub>3</sub>)プラズマ処理し、ITO膜表面にリン5を選択ドーピングする。

【0033】このとき、画素電極、信号線およびソース・ドレイン電極の下地であるシリコン窒化膜3の表面には、リンがドーピングされないからトランジスタ特性に影響を与えない。

【0034】次に、ホスフィン(PH<sub>3</sub>)プラズマ処理

## 6

と連続して、膜厚が約50nmのアモルファスシリコン膜6およびゲート絶縁膜7となる膜厚が約400nmのシリコン窒化膜をP-CVD法で連続成膜する。

【0035】さらにゲート電極8を形成するため、Cr膜をスパッタ法により100nmから200nmの膜厚に成膜し(図2(D))、通常のフォトリソグラフィ法により、ゲート電極9、ゲート絶縁膜8、アモルファスシリコン膜7を一枚のフォトマスク工程でパターニングし、図2(E)に示すような順スタガ型薄膜トランジスタを得ることができる。

【0036】次に図3に、下地絶縁膜にシリコン窒化膜を用いた場合とシリコン酸化膜を用いた場合の、バイアス印加時間に対するしきい値電圧の変動量を示す。

【0037】図3から分かるように、絶縁膜にシリコン窒化膜を用いた場合の方がしきい値電圧の変動量が少ない。これは、膜中の可動イオンがシリコン窒化膜に比べシリコン酸化膜の方が多いためである。

【0038】従って、本発明では、しきい値電圧の変動量が少なく特性の安定した信頼性の高い薄膜トランジスタを得ることができる。

【0039】また、層間絶縁膜がゲート絶縁膜と同じシリコン窒化膜であるため、従来のように層間絶縁膜として耐圧の優れたシリコン酸化膜を成長するために必要であったスパッタ装置が不要となり、ゲート絶縁膜と同じプラズマCVD装置で層間絶縁膜を得ることができるため、製造コストの低減を図ることができる。

【0040】次に、本発明の第2の実施の形態について説明する。図4(A)~(E)は、本発明の第2の実施例に係わる順スタガ型の薄膜トランジスタの製造方法を工程順に示す断面図である。

【0041】先ず図4(A)に示すように、ガラス基板1上に、クロム(Cr)膜を約200nm膜厚にスパッタ法により成膜し、通常のフォトリソグラフィ法、エッチング法によりパターニングして、遮光膜を兼ねたバックゲート電極2aを形成し、層間絶縁膜3となるシリコン窒化膜をプラズマCVD法により200から400nmの膜厚に成膜する。

【0042】次に図4(B)に示すように、ITO膜を成膜し通常のフォトリソグラフィ法、エッチング法によりパターニングすることにより、画素電極、信号線およびソース・ドレイン電極となるITO膜4のパターンを形成する。その後、ITO膜4とその上に積層するアモルファスシリコン膜6とのオーミックコンタクトを形成するため、画素電極、信号線、ソース・ドレイン電極4の表面にプラズマCVD装置でホスフィン(PH<sub>3</sub>)プラズマ処理し、ITO膜表面にリン5を選択ドーピングする。このとき、画素電極、信号線およびソース・ドレイン電極の下地であるシリコン窒化膜3表面には、リンがドーピングされないからトランジスタ特性に影響を与えない。

【0043】次に図4(C)に示すように、ホスフィン(PH<sub>3</sub>)プラズマ処理と連続して、膜厚が約50nmのアモルファスシリコン膜6およびゲート絶縁膜7となる膜厚が約400nmのシリコン窒化膜をP-CVD法で連続成膜し、通常のフォトリソグラフィ法、エッチング法によりパターンニングする。

【0044】次に図4(D)に示すように、第2のゲート絶縁膜7aとなる膜厚が約200nmのシリコン窒化膜をP-CVD法で形成する。

【0045】次に図4(E)に示すように、第2のゲート絶縁膜7aおよび層間絶縁膜3に、遮光膜を兼ねたバックゲート電極2aと配線とのコンタクトを取るため、ドライエッチング装置でSF<sub>6</sub>+He、CF<sub>4</sub>+O<sub>2</sub>+He等のガス系を用いてコンタクトホールを開ける。

【0046】その後、ゲート電極、配線となるCr膜をスパッタ法により100nmから200nmの膜厚に成膜し、通常のフォトリソグラフィ法、エッチング法により、ゲート電極8、配線を形成し、順スタガ型薄膜トランジスタを得ることができる。また、ドライエッチング装置でSF<sub>6</sub>+He、CF<sub>4</sub>+O<sub>2</sub>+He等のガス系を用いて層間絶縁膜にコンタクトホールを開け遮光膜を兼ねたバックゲート電極2とコンタクトを取る工程では、従来のスパッタ法で形成したシリコン酸化膜より、プラズマCVD法で形成したシリコン窒化膜は、エッチレートが速いためエッチング時間が短縮されスループットが向上し、製造コストの低減を図ることができる。すなわち、スパッタ法で形成したシリコン酸化膜のエッチングレートは、プラズマCVD法で得たシリコン酸化膜と比較し、約10%遅い。

【0047】また、本発明の第1の実施の形態と同様に、しきい値電圧の変動量が少なく特性の安定した信頼性の高い薄膜トランジスタを得ることができ、第1の実施の形態と同様に、層間絶縁膜がゲート絶縁膜と同じシリコン窒化膜であるため、ゲート絶縁膜と同じプラズマCVD装置で、第2のゲート絶縁膜、層間絶縁膜を得ることができるため、製造コストの低減を図ることができる。

【0048】第1の実施の形態の構造の薄膜トランジスタでは、透明基板側から入射する光によるトランジスタの光感度特性を制限するため、トランジスタのバックチャンネル側に遮光膜を形成する構造であるが、第2の実施の形態の構造の薄膜トランジスタでは、バックチャンネル側に遮光膜を形成するのは同様であるが、遮光膜であると同時に電氣的に接続しゲート電極とするデュアルゲート構造であることが大きく異なる。

【0049】従って、薄膜トランジスタアレイの製造工程としては、工程数が同じであり、製造コストも同等と

なる。

【0050】また、第2の実施の形態の構造のデュアルゲート順スタガ型薄膜トランジスタは、第1の実施の形態の構造の薄膜トランジスタと比較し、移動度が向上する等トランジスタの特性、信頼性が向上する。

【0051】

【発明の効果】第1の効果は、トランジスタ特性のしきい値電圧変動が少なく信頼性が向上することである。

【0052】その理由は、シリコン窒化膜はシリコン酸化膜に比べ可動イオンが少ないためである。

【0053】第2の効果は、コンタクトホール形成のエッチング時間が短いため生産効率が上がり、製造コストが低減することである。

【0054】その理由は、P-CVD法で成膜したシリコン窒化膜は、スパッタ法で成膜したシリコン酸化膜に比べ、ドライエッチング工程でのエッチングレートが速いためである。

【0055】第3の効果は、シリコン酸化膜成膜用のスパッタ装置が不要となり、製造コストが低減できることである。

【0056】その理由は、層間絶縁膜はゲート絶縁膜と同じシリコン窒化膜であり、同一のプラズマCVD装置で成膜する事ができるからである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による順スタガ型薄膜トランジスタを示す断面図である。

【図2】図1に示す薄膜トランジスタの製造方法を工程順に示す断面図である。

【図3】本発明の実施の形態の順スタガ型薄膜トランジスタのしきい値電圧変動を示す図である。

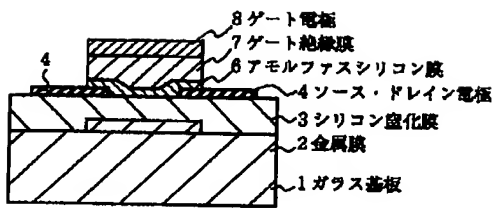
【図4】本発明の第2の実施の形態による順スタガ型薄膜トランジスタの製造方法を工程順に示す断面図である。

【図5】従来技術の順スタガ型薄膜トランジスタの製造方法を工程順に示す断面図である。

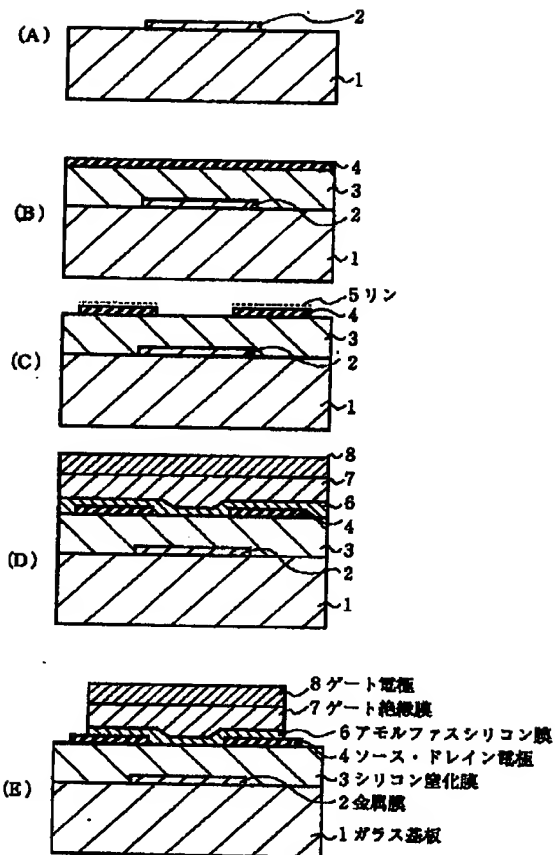
【符号の説明】

- 1 ガラス基板
- 2 遮光膜
- 2a バックゲート電極
- 3 層間絶縁膜
- 4 ソース・ドレイン電極
- 5 リン
- 6 アモルファスシリコン膜
- 7 ゲート絶縁膜
- 7a 第2のゲート絶縁膜
- 8 ゲート電極

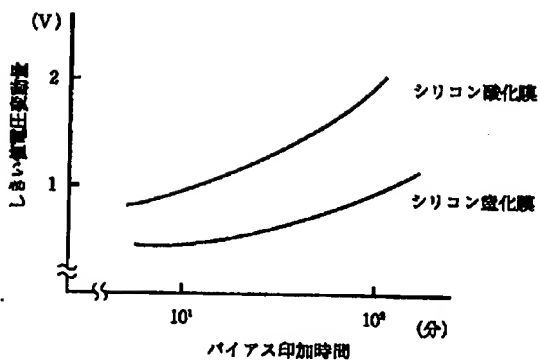
【図1】



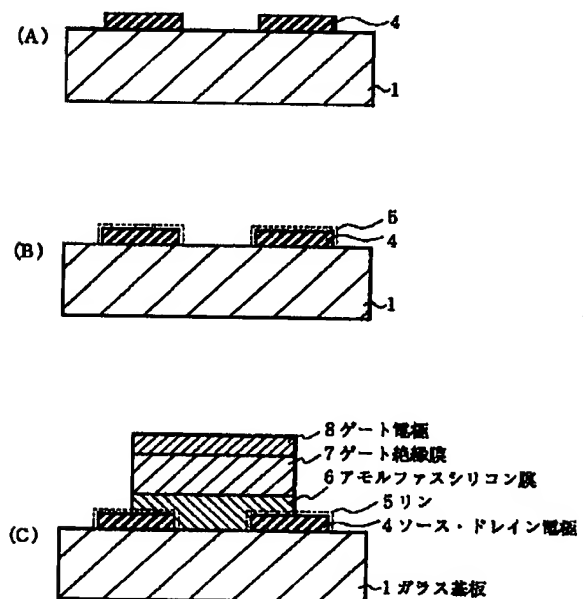
【図2】



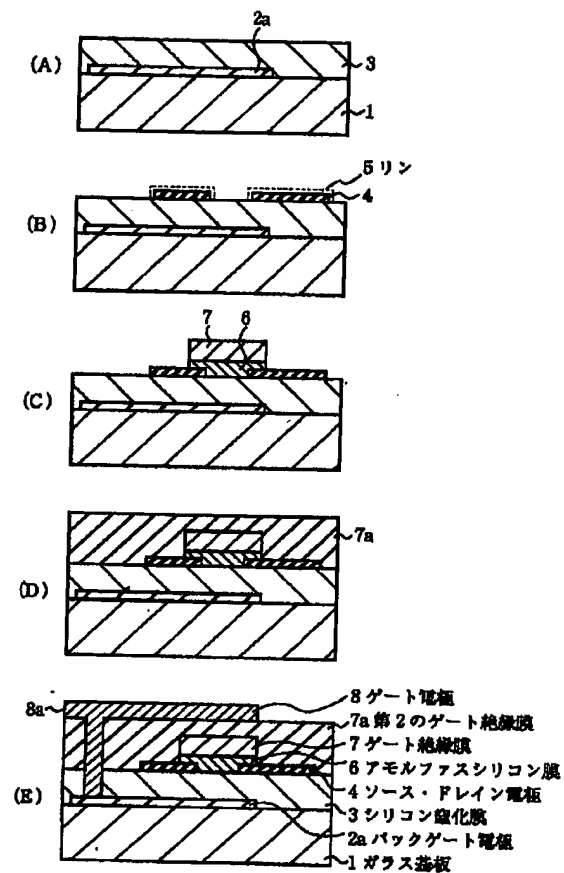
【図3】



【図5】



【図4】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 1 9 B